



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 199 12 447 A 1**

57 Int. Cl.⁷:
H 03 M 1/08
H 03 M 1/66

21 Aktenzeichen: 199 12 447.7
22 Anmeldetag: 19. 3. 1999
43 Offenlegungstag: 28. 9. 2000

DE 199 12 447 A 1

71 Anmelder:
Micronas Intermetall GmbH, 79108 Freiburg, DE
74 Vertreter:
Schaumburg und Kollegen, 81679 München

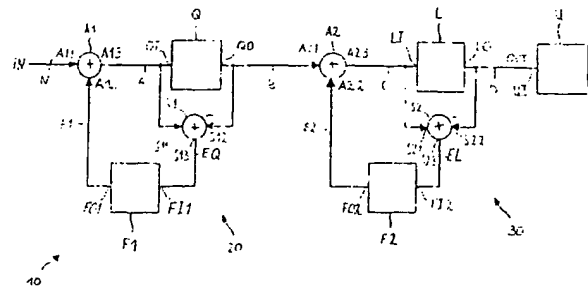
72 Erfinder:
Winterer, Martin, Dipl.-Phys., 79194 Gundelfingen, DE
56 Entgegenhaltungen:
DE 40 07 660 C2
DE 36 42 168 A1
DE 68 922 98 9T2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Anordnung zum Erzeugen eines in seiner Bitbreite begrenzten digitalen Signals und Digital/Analog-Umsetzer mit vergrößertem Wertebereich

57 Beschrieben wird eine Anordnung (10), die aus einem digitalen Eingangssignal (IN) konstanter Bitbreite N ein digitales Ausgangssignal (OUT) konstanter Bitbreite M erzeugt, wobei $M < N$ ist. Das digitale Eingangssignal (IN) wird zunächst einem Quantisierer (Q) zugeführt, der einen Datenstrom quantisierter Datenwörter (B) erzeugt. Die Werte der quantisierten Datenwörter (B) werden in einer Begrenzerstufe (30) so begrenzt, daß das Ausgangssignal (OUT) nur noch Datenwörter mit Bitbreite M enthält. Ein Filterbaustein (F12) der Begrenzerstufe (30) vermindert das durch das Begrenzen entstehende Rauschen. Ferner wird ein Digital/Analog-Umsetzer (10) beschrieben, der ein N Bit breites Eingangsdatenwort (IN) in ein analoges elektrisches Signal (IS) umsetzt. Der Digital/Analog-Umsetzer (10) hat 2^M schaltbare elektrische Quellen (P1-P16), wobei $R > M$ ist. Eine Steuereinheit (TD) des Digital/Analog-Umsetzers (10) schaltet alle elektrischen Quellen (P1-P16) ein, falls das Eingangsdatenwort (DW) im Bereich der höherwertigen Bitstellen N M (Z) einen binären Wert größer "0" hat. Andernfalls wird aus den M niedrigwertigen Bitstellen (B1-B4) die Anzahl einzuschaltender Stromquellen (P1-P15) ermittelt.



DE 199 12 447 A 1

nen D/A-Umsetzer, der den Wert eines digitalen M Bit breiten Eingangswortes in ein analoges elektrisches Signal umwandelt. Der D/A-Umsetzer enthält 2^M gleiche, schaltbare elektrische Quellen und eine Steuereinheit, die aufgrund des binären Wertes der M Bitstellen des Eingangswortes eine Anzahl von Quellen einschaltet, um das analoge elektrische Signal zu erzeugen. Die Steuereinheit vorstehend genannter Art wird auch als Thermometerdecoder bezeichnet.

Ein 4-Bit D/A-Umsetzer, d. h. $M = 4$, hat $2^4 = 16$ schaltbare elektrische Quellen. Das digitale Eingangswort hat üblicherweise eine Breite von vier Bit und einen Wertebereich von 0 bis 15. Der Wert des 4-Bit Eingangswortes legt die Anzahl der einzuschaltenden elektrischen Quellen fest. Berücksichtigt man, daß ein definierter Wert, z. B. "0", des Eingangswortes benötigt wird, um alle elektrischen Quellen auszuschalten, erkennt man, daß sich mit einem 4-Bit Eingangswort maximal 15 elektrische Quellen einschalten lassen. Aus schaltungstechnischen Gründen ist es jedoch üblich, D/A-Umsetzer mit einer geraden Anzahl schaltbarer elektrischer Quellen herzustellen. Das heißt, beim Stand der Technik wird eine der elektrischen Quellen des D/A-Umsetzers nicht genutzt.

Diese Vorgehensweise bedeutet, daß der oben beschriebene 4-Bit D/A-Umsetzer beispielsweise von einem sinusförmigen Eingangssignal mit der Amplitude "8" nur Werte von "7" bis "+7" verarbeitet. Diese Beschränkung des Wertebereiches hat z. B. bei Audiosignalen eine verschlechterte Wiedergabequalität zur Folge.

Demgemäß ist es Aufgabe der Erfindung, einen D/A-Umsetzer vorstehend genannter Art zur Verfügung zu stellen, bei dem der Wertebereich vergrößert ist.

Die Aufgabe wird durch einen D/A-Umsetzer mit den im Anspruch 10 angegebenen Merkmalen gelöst. Vorteilhafte Weiterbildungen sind in den abhängigen Ansprüchen 11 bis 16 angegeben.

Bei einem erfindungsgemäßen D/A-Umsetzer weist ein Eingangswort eine Breite von R Bit auf, wobei $R > M$ ist. Der Erfindung liegt die Erkenntnis zu Grunde, daß ein Ein- und Ausschalten aller 2^M elektrischer Quellen nur möglich ist, wenn das Eingangswort eine Breite größer M hat. Eine Steuereinheit des D/A-Umsetzers schaltet alle elektrischen Quellen ein, falls das R Bit breite Eingangswort im Bereich der höherwertigen Bitstellen R-M einen Binärwert größer "0" hat. Das bedeutet, daß mindestens ein Bit der höherwertigen Bitstellen R-M auf einen Wert "1" gesetzt ist.

Die M niederwertigen Bitstellen des Eingangswortes werden genutzt, um von den 2^M schaltbaren elektrischen Quellen $2^M - 1$ elektrische Quellen ein- und auszuschalten. Lediglich die Anweisung an die Steuereinheit, alle elektrischen Quellen einzuschalten, erfordert eine Erweiterung des Eingangswortes um zusätzliche Bitstellen.

Die Erfindung ermöglicht dem D/A-Umsetzer das Verarbeiten von Werten eines Eingangssignals, die das Einschalten aller elektrischer Quellen erfordern. Beispielsweise verarbeitet ein erfindungsgemäßer D/A-Umsetzer von dem oben beschriebenen sinusförmigen Eingangssignal mit der Amplitude "8" den gesamten Wertebereich von "8" bis "+8", so daß die Erfindung z. B. die Wiedergabequalität von Audiosignalen verbessert.

Eine vorteilhafte Weiterbildung der Erfindung sieht vor, das Eingangswort um ein Bit zu erweitern, d. h. $R = M + 1$. Für den oben beschriebenen 4-Bit D/A-Umsetzer bedeutet dies, daß das Eingangswort eine Breite von fünf Bit hat. Die Steuereinheit schaltet alle elektrischen Quellen ein, falls dieses zusätzliche Bit gesetzt ist.

Die elektrischen Quellen sind Spannungsquellen oder

Stromquellen. Vorteilhaft ist die Verwendung von Stromquellen, weil diese besonders einfach aus Transistorschaltungen aufzubauen sind. Solche Transistorschaltungen lassen sich als integrierte Schaltungen realisieren. Dies ermöglicht eine besonders kompakte Bauweise des erfindungsgemäßen D/A-Umsetzers.

Günstig ist es, wenn der D/A-Umsetzer eine weitere Stromquelle enthält, deren Strom dem Stromsignal der eingeschalteten Stromquellen hinzugefügt wird. Ein Ausgangsstrom, der beispielsweise einen Wertebereich von -8 mA bis +8 mA hat, läßt sich mit einem D/A-Umsetzer realisieren, bei dem jede schaltbare Stromquelle einen Strom von 1 mA liefert und die weitere Stromquelle einen Strom von 8 mA liefert.

Ferner kann der D/A-Umsetzer dahingehend erweitert werden, daß durch die M Bitstellen des Eingangswortes gemäß dem bekannten 2er-Komplement negative und positive Werte dargestellt werden. Diese Weiterbildung ist insbesondere für die Umsetzung von digitalisierten Meßwerten in analoge elektrische Signale geeignet. Darüber hinaus läßt sich aus einer gemäß dem 2er-Komplement dargestellten Zahl besonders einfach die Anzahl einzuschaltender Quellen ermitteln. Dies wird bei der Beschreibung des Ausführungsbeispiels noch dargelegt.

Nachfolgend werden Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Darin zeigen:

Fig. 1 eine erfindungsgemäße Anordnung zum Erzeugen eines in seiner Bitbreite begrenzten digitalen Signals mit einem Digital/Analog-Umsetzer,

Fig. 2 Kurvenverläufe nach verschiedenen Bearbeitungsstufen einer Anordnung ohne Rückkopplung eines einen Grenzwert überschreitenden Anteils,

Fig. 3 Kurvenverläufe nach verschiedenen Bearbeitungsstufen der erfindungsgemäßen Anordnung, d. h. mit Rückkopplung des einen Grenzwert überschreitenden Anteils,

Fig. 4 ein 5-Bit Eingangswort,

Fig. 5 schematisch den Aufbau eines erfindungsgemäßen Digital/Analog-Umsetzers mit Thermometerdecoder für $M = 4$ und $N = 5$, und

Fig. 6 eine Funktionstabelle für den in Fig. 5 gezeigten Digital/Analog-Umsetzer.

Fig. 1 zeigt eine erfindungsgemäße Anordnung 10, die eine Quantisierstufe 20, eine Begrenzerstufe 30 und einen D/A-Umsetzer U (Digital/Analog-Umsetzer) umfaßt. Die Anordnung 10 erzeugt aus einem Datenstrom IN, der aus 16 Bit breiten Datenworten besteht, die auf einer nicht dargestellten optischen Speicherplatte gespeichert sind, einen Datenstrom OUT. Der Datenstrom OUT besteht aus 5 Bit breiten Datenwörtern, die vom D/A-Umsetzer U, der 16 Stromquellen hat, in einen analogen elektrischen Strom oder eine analoge elektrische Spannung umgesetzt werden. Die Datenworte des Datenstromes IN sind Fließkommazahlen, für deren Werte gilt

$$-8,0 \leq IN < +8,0.$$

Die Werte der Datenworte des Datenstromes OUT stellen Ganzzahlen dar, für deren gilt:

$$-8 \leq OUT \leq +8.$$

Im folgenden werden der Aufbau und die Funktion der Quantisierstufe 20 beschrieben. Zur Quantisierstufe 20 gehören ein Quantisierer Q mit einem Quantisierereingang QI und mit einem Quantisiererausgang QO sowie ein erster Filterbaustein F1 mit einem Filtereingang FI1 und mit einem Filterausgang FO1. Dem Quantisierereingang QI ist eine erste Addierstufe A1 mit einem ersten Eingang A11 und ei-

beachten.

Werte einer fünften Kurve K3 sind von einer Begrenzerstufe ohne Rückkopplung erzeugt worden; die Werte einer sechsten Kurve K7 dagegen wurden von einer Begrenzerstufe mit Rückkopplung erzeugt. Die Werte der fünften und der sechsten Kurve K3 bzw. K7 liegen in einem Bereich von "8" bis "+8". Im Vergleich zu einem Kurvenabschnitt 40 der fünften Kurve K3 zeigt ein Kurvenabschnitt 50 der sechsten Kurve K3 einen annähernd konstanten Verlauf. Entsprechend zeigt ein Kurvenabschnitt 60 einer siebten Kurve K4, die ein von einem D/A-Umsetzer erzeugtes Analogsignal darstellt, einen sehr zackigen Verlauf. Eine achte Kurve K8, die ebenfalls ein von einem D/A-Umsetzer erzeugtes Analogsignal zeigt, hat in einem entsprechenden Kurvenabschnitt 70 einen gleichmäßigen, annähernd sinusförmigen Verlauf.

Das Beispiel zeigt, daß die Rückkopplung des den Grenzwert überschreitenden Anteils zu einer deutlichen Verringerung des Klirrfaktors im Bereich maximaler Amplitude führt. Ohne die Erfindung wäre ein der Quantisierstufe zugeführtes Signal so zu begrenzen, daß eine Wertebereichsüberschreitung vermieden wird. Insbesondere für die Wiedergabe von Audiosignalen bedeutet diese Begrenzung des Signals eine verschlechterte Wiedergabe. Durch die Erfindung ist diese Begrenzung des Signals nicht notwendig.

Die Fig. 4 bis 6 beschreiben ein Ausführungsbeispiel eines Digital/Analog-Umsetzers mit vergrößertem Wertebereich.

Fig. 4 zeigt ein 5-Bit Eingangswort DW, das ein Zusatzbit Z, dessen Wert festlegt, ob alle Stromquellen eines erfindungsgemäßen D/A-Umsetzers eingeschaltet werden, enthält. Hat das Zusatzbit Z einen ersten Binärwert "1" sind alle elektrischen Quellen einzuschalten.

Bei einem zweiten Binärwert "0" des Zusatzbits Z, legt ein durch Bits B1 bis B4 gebildeter 4-Bit Bereich die Anzahl einzuschaltender Quellen fest. Die vier Bits B1 bis B4 stellen gemäß dem bekannten 2er-Komplement eine Zahl im Wertebereich von "8" bis "+7" dar. Dabei wird das Bit B1 als Vorzeichenbit verwendet. Für positive Zahlen hat das Vorzeichenbit B1 einen ersten Wert "0" und für negative Zahlen einen zweiten Wert "1". Der in der Fig. 4 dargestellte 4-Bit Bereich hat einen Wert "3".

Fig. 5 zeigt einen erfindungsgemäßen D/A-Umsetzer (Digital/Analog-Umsetzer) 110, der das 5 Bit breite Eingangswort DW in einen analogen Ausgangsstrom IS umwandelt. Ein Thermometerdecoder TD des D/A-Umsetzers 110 steuert 16 Schalter SW1 bis SW16, von denen aus Gründen der Übersichtlichkeit nur die Schalter SW1, SW15 und SW16 dargestellt sind. Mit Hilfe der Schalter SW1 bis SW16 werden 16 gleiche Stromquellen P1 bis P16 ein- und ausgeschaltet, von denen nur die Stromquellen P1, P15 und P16 eingezeichnet sind. Jede Stromquelle P1 bis P16 liefert einen Strom von 1 mA. Eine weitere Stromquelle P17 liefert einen Strom IP, der einen Wert von -8 mA hat. Ein Stromsummiator K bildet den Ausgangsstrom IS, indem er die Ströme derjenigen Stromquellen P1 bis P16, die eingeschaltet sind, und den Strom IP addiert.

Der Thermometerdecoder TD liest von einer Eingangsleitung 120 das 5 Bit breite Eingangswort DW ein und wertet zunächst das Zusatzbit Z aus. Hat das Zusatzbit Z den ersten Wert "1", schließt der Thermometerdecoder TD die Schalter SW1 bis SW16, so daß alle Stromquellen P1 bis P16 eingeschaltet werden. Der Ausgangsstrom IS hat in diesem Fall den Wert +8 mA.

Hat das Zusatzbit Z den zweiten Wert "0", ermittelt der Thermometerdecoder TD die Anzahl einzuschaltender Stromquellen P1 bis P15 anhand des durch den 4-Bit Bereich des Eingangswortes DW dargestellten Wertes.

Hierzu invertiert der Thermometerdecoder TD das Vorzeichenbit B1. Der Binärwert des so veränderten 4-Bit Bereiches ist gleich der Anzahl der einzuschaltenden Stromquellen P1 bis P15. Für einen Binärwert "0101" des 4-Bit Bereiches ergibt sich nach der Invertierung des Vorzeichenbits B1, das ist das am weitest links stehende Bit, ein Binärwert "1101". Dieser ist gleich dem Dezimalwert "13". Der Thermometerdecoder TD schließt die Schalter SW1 bis SW13, um die Stromquellen P1 bis P13 einzuschalten. Der Ausgangsstrom IS hat damit den Wert 5 mA.

Die Tabelle in Fig. 6 hat für jedes mögliche 5-Bit Eingangswort DW eine Zeile zi, mit $i = 1$ bis 17. Für jede Zeile zi enthält eine erste Spalte SP1 den Binärwert des Zusatzbits Z, und eine zweite Spalte SP2 den Binärwert des 4-Bit Bereiches des Eingangswortes DW. Eine dritte Spalte SP3 enthält für jede Zeile zi bis zi17 die Anzahl einzuschaltender Stromquellen P1 bis P16, und eine vierte Spalte SP4 enthält den Wert des Ausgangsstromes IS.

Man erkennt, daß der Ausgangsstrom IS Werte von -8 mA bis +8 mA annimmt. Die Erfindung vermeidet die oben beschriebene Beschränkung des Wertebereiches des Eingangswortes auf Werte von "7" bis "+7". Der Wertebereich des D/A-Umsetzers wurde demgemäß vergrößert.

Patentansprüche

1. Anordnung zum Erzeugen eines in seiner Bitbreite begrenzten digitalen Datenstroms, bei der ein digitaler Datenstrom (IN) mit N Bit breiten Datenwörtern einem Quantisierbaustein (Q) zugeführt ist, der aus dem N Bit breiten Datenstrom (IN) einen digitalen Datenstrom (B) mit M Bit breiten Datenwörtern erzeugt, wobei $M < N$ ist, der M Bit breite Datenstrom (B) einem digitalen Begrenzerbaustein (L) zugeführt ist, der an seinem Ausgang (LO) den begrenzten digitalen Datenstrom (OUT) ausgibt, und bei der der Begrenzerbaustein (L) die digitalen Datenwörter bei Überschreiten eines vorgegebenen Wertes auf einen Grenzwert begrenzt und den den Grenzwert überschreitenden Anteil (EL) einem Speicherbaustein (ST) zuführt, der diesen Anteil nachfolgenden Datenwörtern des M Bit breiten Datenstroms (B) hinzufügt.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß ein dem Quantisierbaustein zugeführtes Eingangswort (A) aus der Summe des N Bit breiten Datenwortes und einem aus der Differenz zwischen einem vorhergehenden Eingangswort (A) und dem M Bit breiten Datenwort (B) gebildetes Quantisierungsfehlerdatenwort (EQ) besteht.
3. Anordnung nach Anspruch 2, dadurch gekennzeichnet, daß ein gefiltertes Quantisierungsfehlerdatenwort (E1) gemäß der Filterfunktion

$$eh(T) = 2e(T-1) - e(T-2)$$

gebildet wird, wobei $eh(T)$ das gefilterte Quantisierungsfehlerdatenwort (E1) in einem aktuellen Takt T, $e(T-1)$ das Quantisierungsfehlerdatenwort des Taktes T-1 und $e(T-2)$ das Quantisierungsfehlerdatenwort des Taktes T-2 ist.

4. Anordnung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß der Quantisierbaustein (Q) den Wert des M Bit breiten Datenwortes (B) durch Runden des Wertes des Eingangswortes (A) bildet.
5. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der digitale Be-

- Leerseite -

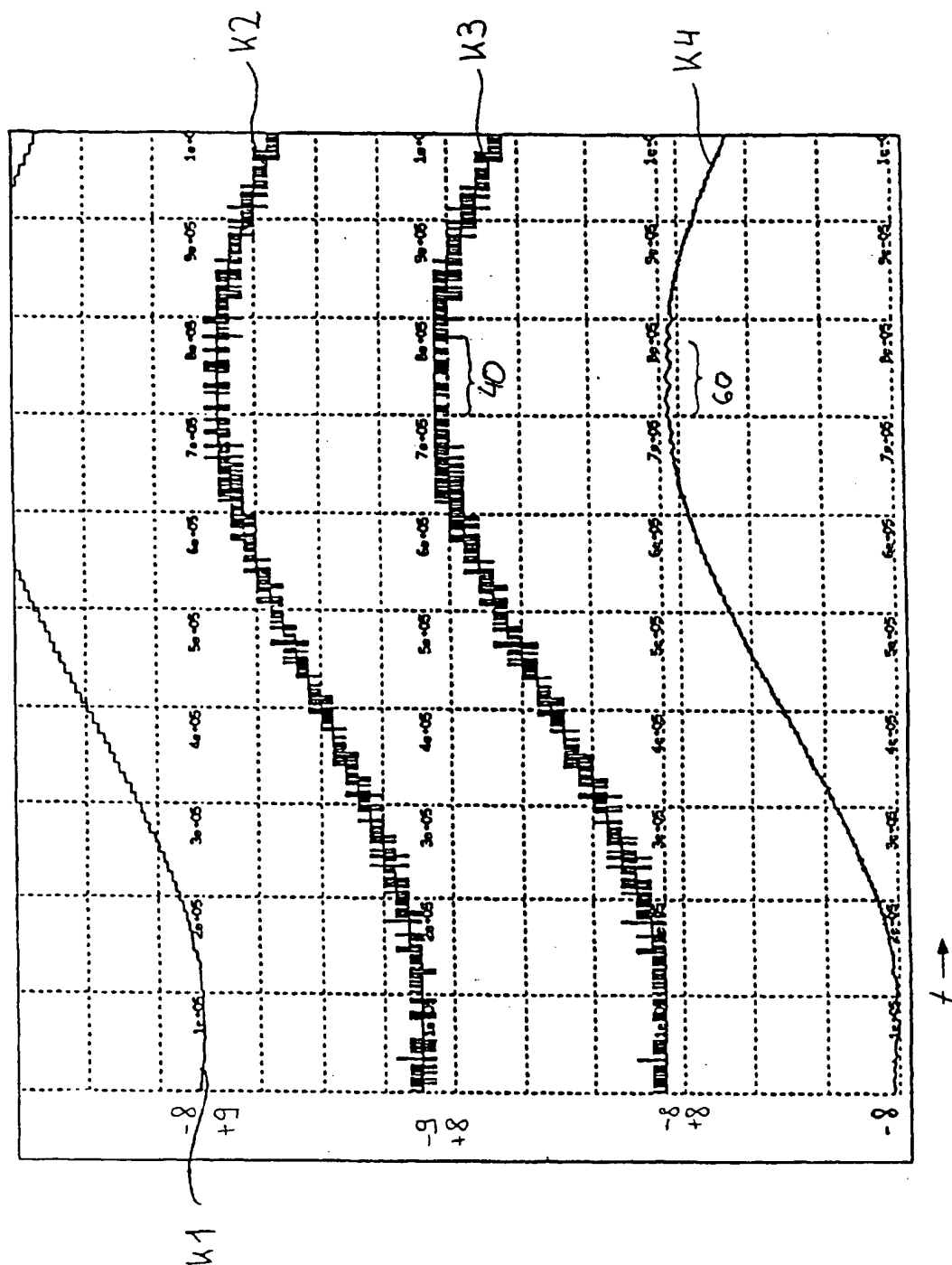


FIG. 2

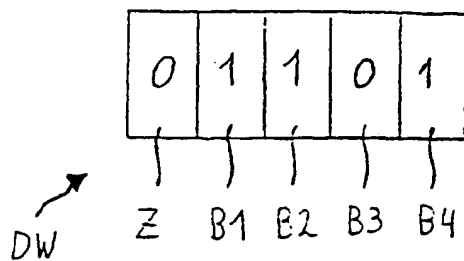
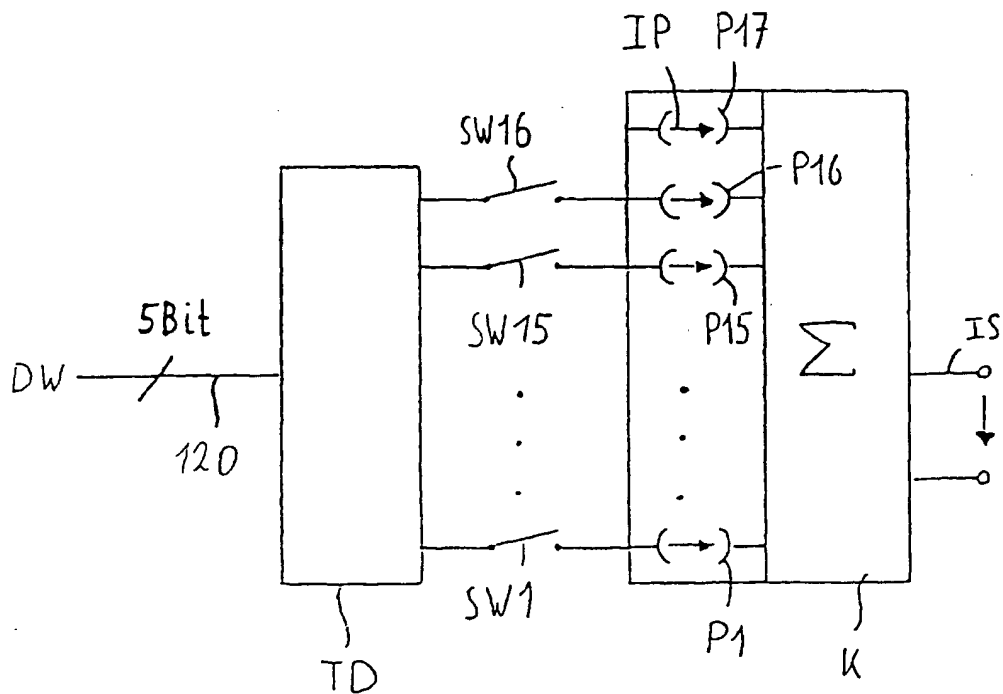


FIG. 4



110

FIG. 5

Limited bit width DAC for DAC with enlarged range of values, has quantized data forming M bit wide data stream which is supplied to digital limiter module that limits digital data and exceeds preset values on threshold

Patent Number: DE19912447
Publication date: 2000-09-28
Inventor(s): WINTERER MARTIN (DE)
Applicant(s): MICRONAS INTERMETALL GMBH (DE)
Requested Patent: DE19912447
Application Number: DE19991012447 19990319
Priority Number(s): DE19991012447 19990319
IPC Classification: H03M1/08; H03M1/66
EC Classification: H03M7/00D4
Equivalents:

Abstract

Quantized data form an M bit wide data stream which is supplied to a digital limiter module, to limit the digital data. This exceeds a preset value on a threshold and supplies the component exceeding the threshold to a memory. The excess component is added to the data of an M bit data stream. The limitation leads to a rise of the distortion factor in the region of maximum amplitudes of a signal. With the aid of the memory, and the addition of the excess component to the data, a control loop is formed which acts as a low pass filter, so that the distortion factor is reduced. An Independent claim is included for a digital to analog converter (DAC).

Data supplied from the esp@cenet database - I2

DOCKET NO: C&L-I0226

SERIAL NO: _____

APPLICANT: B. Pilgram

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

01

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04268821 A**

(43) Date of publication of application: 24 . 09 . 92

(51) Int. Cl

H03M 1/08
H03H 17/02
H03M 3/02

(21) Application number: 03048580

(71) Applicant: **SONY CORP**

(22) Date of filing: 22 . 02 . 91

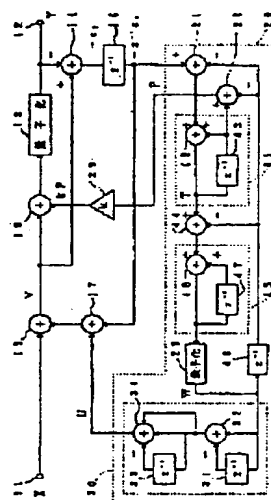
(72) Inventor: **MASUDA TOSHIHIKO**

(54) NOISE SHAPING CIRCUIT

(57) Abstract:

PURPOSE: To stabilize high-order noise shaping operation, and simultaneously, to suppress a low frequency noise level in a feedback circuit part so as to improve a dynamic range.

CONSTITUTION: Both the primary noise shaping circuit constitution of a quantizer 13 and a high-order noise shaping feedback circuit part 20 are provided. In the feedback circuit part 20, an integration type noise shaping circuit is constituted of an adder 21 to subtract the output from the input of the quantizer 23 and an integrator 41, and the output from the quantizer 23 is fed back to the input side of the quantizer 13 through a differentiation circuit 30. Besides, the output of the integrator 41 is fed back to the input side immediately before the quantizer 13 after subtracting the output of the quantizer 23 from it by the adder 28 and multiplying by a coefficient (k) by a coefficient multiplier 29.



COPYRIGHT: (C)1992,JPO&Japio

Docket # L&L-I0226

Applic. # _____

Applicant: B. Pilgram

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01049310 A**

(43) Date of publication of application: 23 . 02 . 89

(51) Int. Cl **H03H 17/02**(21) Application number: **62204987**(71) Applicant: **SONY CORP**

(22) Date of filing: 20 . 08 . 87

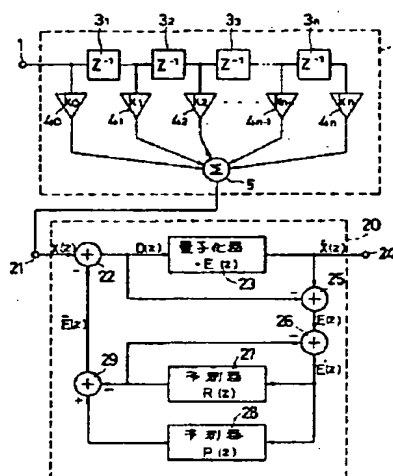
(72) Inventor: **NISHIGUCHI MASAYUKI**(54) **DIGITAL FILTER DEVICE**

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a steep noise shaping characteristic by a simple circuit constitution, and also, to improve an S N ratio in a necessary band, by using an IIR (infinite impulse response) filter, as a filter for applying a noise shaping processing to a digital signal which has been brought to over-sampling.

CONSTITUTION: In a noise shaping filter 20, a signal $X(z)$ which has been supplied to an input terminal 21 is sent to a quantizer 23 through an adder 22 and requantized, and sent to an output terminal 24. By subtracting from an output of the quantizer 23 its input, what is called a quantizing error or a quantizing noise $E(z)$ is formed, and this error or the noise $E(z)$ is sent as a subtracting signal to the adder 22 through a circuit part consisting of an adder 26, predictors 27, 28 and an adder 29, and a noise shaping characteristic is obtained as a whole. Said circuit part consisting of the adder 26, the predictors 27, 28 and the adder 29 has a constitution of a kind of what is called IIR (infinite impulse response) filter having a zero point and a pole in a transfer characteristic.



Docket # L&L-I0226

Applic. #

Applicant: B. Pilgram

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101